第1章

ノイズ対策とピン配置の最適化で，装置メーカと半導体メーカの協力が不可欠に

――LSI，パッケージ，ボードの協調設計に向けて

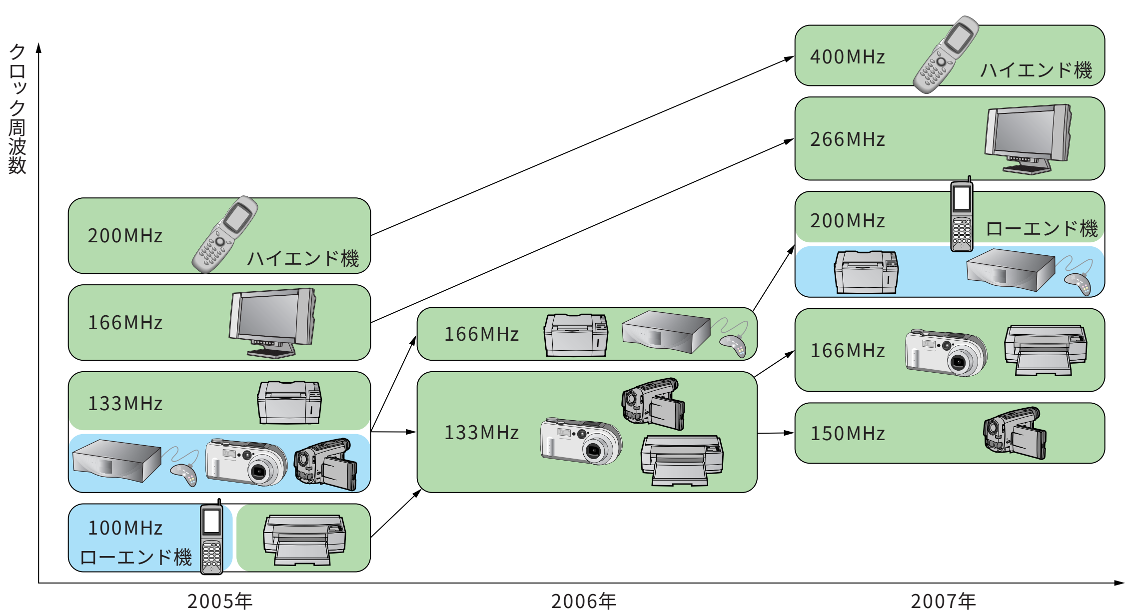
磯崎智明，菅原健二

ここでは，「LSI，パッケージ，ボードの協調設計」という概念について説明する．筆者ら（NECエレクトロニクス）は構想設計段階の事前検証の期間を短縮するため，LSI設計者がLSI内のフロアプランを検討しながら，同時にパッケージの端子配置を検討できる「バーチャル・パッケージ設計環境」を開発している．この環境の概要も紹介する．（編集部）

最近，「LSI，パッケージ，ボードの協調設計」ということばをよく聞くようになりました．筆者らは長年半導体メーカで，LSI設計者，パッケージ設計者として製品の開発に携わってきました．かつて（筆者らが入社した当時）は，LSI設計者が半導体チップの仕様を決めた後，パッケージ設計者に必要な情報を送り，パッケージ設計が始まるという状況でした．そしてでき上がったLSIとパッケージを組み合わせて特性を評価した後，顧客に提供していました．

しかしこのような開発フローでは，次々と高性能な新製品が登場するディジタル機器（プリンタや携帯電話，ディジタル・カメラなど）のコスト低減や開発期間短縮の要求にこたえることが難しくなってきています（**図1**）．さらに困った問題として“ノイズ”の顕在化があり，その背景には以下のような動向が存在します．

- LSIの微細化によって集積度が飛躍的に高まり，結果と



（NECエレクトロニクスの調べ）

図1
機器別の動作周波数の高速化トレンド
ローエンドからハイエンドまでのすべてのディジタル機器において，動作周波数が2年で2倍の割合で上昇することが予想されている．この高速化に早期に対応するため，LSI，パッケージ，ボードの協調設計が重要となっている

KeyWord バーチャル・パッケージ，協調設計，SI，PI，EMC，IRドロップ，クロストーク，伝播遅延，同時スイッチング，what-if解析，IBIS，SPICE

してノイズの要因が多くなった

- LSIの高速化に伴い，発生するノイズの量が多くなった
- LSIの低電圧化に伴い，内部の回路がノイズに対して弱くなった
- 高密度実装により，ノイズが伝わりやすくなった

このように，LSIの高集積化，高速化，およびパッケージやボードの高密度実装化により，ノイズの問題は一段と深刻になってきています(図2)．

この問題のやっかいなところは，LSIやパッケージ，ボードが複雑に関係して問題が起こることです．電源やグラウンド，信号はすべてつながっているので，1ヵ所でノイズの問題が発生すれば，それは装置全体に波及します．個々の特性については問題がなくても，組み合わせると問題が生じることもあります．

この問題を避ける手段が，上述の「協調設計」です．筆者らは半導体メーカとして，数年前からLSIとパッケージの協調設計の問題に取り組んでいます．個々の詳細設計の前に，LSIとパッケージを組み合わせたときの特性の最適化が図れる環境の構築を行いました．現在はさらに，ボードの特性も考慮した協調設計を目ざしています．これを実現するためには，装置の開発者に協調設計の重要さを理解してもらい，LSIユーザとメーカが協力し合いながら開発を進めることが必要になってくると思います(下掲のコラム「とある半導体メーカにて」を参照)．

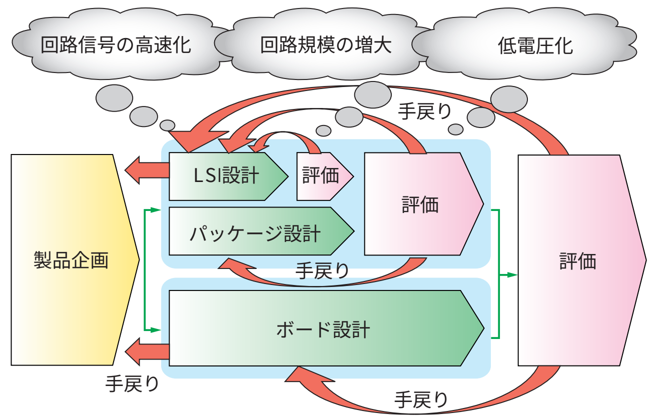


図2　高速化，大規模化，低電圧化の影響
回路信号の高速化，回路規模の増大，低電圧化の進展により，個別の設計・評価手法を組み合わせただけでは作業の手戻り(リワーク)や修正が多発してしまう．これにより，開発期間の長期化や開発コストの増大といった悪影響が発生している

1．協調設計で取り上げる項目

LSI，パッケージ，ボードの協調設計で取り上げる項目には，大きく分類して「電気設計の問題」と「熱設計の問題」があります．本稿では電気設計の問題に絞って説明します．熱設計の問題については，本誌2005年6月号，pp.120-132の「電子機器開発者のための半導体パッケージ熱設計入門」(1)などの文献を参照してください．

電気設計の問題は，次の三つに細分化されます(図3)．

- **SI(signal integrity)** ── 信号の伝播(信号品質)にかか

Column　とある半導体メーカにて

とある半導体メーカの3人のエンジニアの会話．

A：最近，ピン配置やノイズの問題で作業のやり直しが多くなっている．なぜだろう？

B：たぶん，時代が変わったのに，昔ながらの開発フローに満足してしまっているからだと思う．「協調設計」ができていないからだろう．ところで協調設計って，実際のところ何だと思う？

A：設計が完了した時点で，LSIとパッケージを合わせて特性の解析を行うことかな．

B：たしかにそれは重要なことだけど，お客さん側のボードの影響はどうする？

A：それは，うち(半導体メーカ)ではわからないよ．とりあえず，半導体メーカはパッケージのピンまで．あとはお客さん自身にお願いするしかないんじゃないの？

B：それではお客さんに迷惑がかかるよ．せめてボードも含めて特性を解析しないと．でも，設計が完了して全部を組み合わせたところで問題が判明したとして，場合によってはシステム仕様の策定まで逆戻り．ほんとうは，このようなことを防ぐのが協調設計のはずだけど，どうすればいいのだろう？

C：だったら，詳細設計の前，つまり構想段階でLSI，パッケージ，ボードの特性を見積もって，だれが何をするべきかはっきりさせてから，詳細な設計を行うことはできないのかな？

B：LSIとパッケージについてはこれまでにもいろいろと経験してきているし，解析のノウハウもあるので可能だけど….

C：まずはできるところから確実に始めて，ボードの問題についてはお客さんに提案できるようにがんばろうよ．

A：協調設計って奥が深いね．でも，こうした“擦り合わせ開発”は，日本の企業がかつて強みとしていた方法かもしれない．半導体産業，そして装置産業復活への起爆剤が協調設計のような気がしてきた．みんなの協力・協調が今，不可欠になってきたんだろうね．

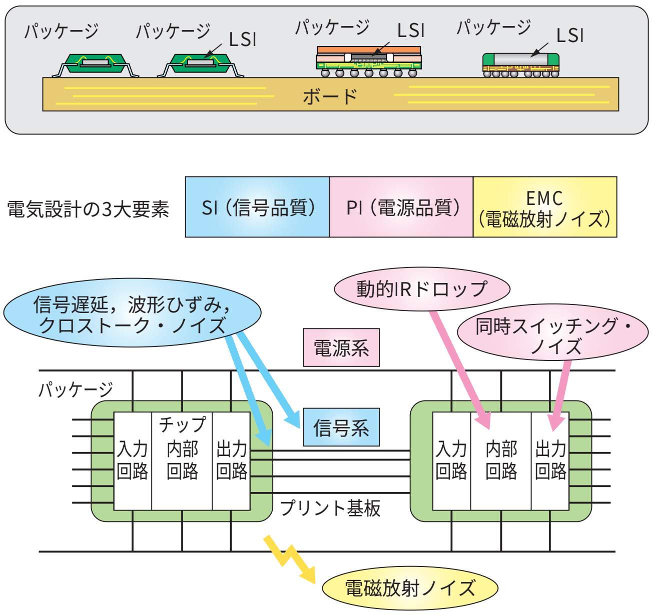


図3　LSI，パッケージ，ボードのすべてを含んだSI，PI，EMIの協調設計

設計の初期の段階で，LSI，パッケージ，ボードのすべてを考慮したSI（signal integrity），PI（power integrity），EMI（electromagnetic interference）を検討することが求められている

わる問題

- **PI（power integrity）**── 電源系の電流・電圧変動にかかわる問題
- **EMI（electromagnetic interference）**── 電磁波放射にかかわる問題

これらの三つをその伝わりかた（伝播経路）で分類すると，SIとPIは伝導ノイズ，EMIは放射ノイズになります．

ではなぜ，このような電気設計の問題（すなわち，ノイズ）が発生するのでしょう．それは，LSIやパッケージ，ボードの信号配線や電源/グラウンド配線に，抵抗R，自己インダクタンスL，負荷容量C_0，相互インダクタンスL_m，相互容量C_mが存在し，これらの影響を無視できなくなってきたからです．とくにノイズの問題でやっかいなのが，自己インダクタンスL，相互インダクタンスL_m，相互容量C_mの影響です．これらが引き起こすノイズのうち，主要なもの（クロストーク・ノイズ，伝播遅延，同時スイッチング・ノイズ）を以下に説明します．

● クロストーク・ノイズ：近接する配線の信号波形を乱す

クロストーク・ノイズは，信号配線間が相互インダクタンスや相互容量により電磁結合（または静電結合）しているために発生するノイズです（**図4（a）**）．ディジタル信号の場合，パルスの立ち上がり部分や立ち下がり部分で近接する信号配線にクロストーク・ノイズが発生します．信号の送り側で発生するクロストーク・ノイズを「バックワード・クロストーク」，受け取り側で発生するものを「フォワード・クロストーク」と呼びます．

クロストーク・ノイズが顕著に出るケースとして，「信号配線の間隔が狭い」，「近接に動作している多くの信号配線がある」，「信号配線が長く平行に走っている」，「信号パルスの立ち上がりや立ち下がりが早い」，「信号パルスの振幅が大きい」などの状況が挙げられます．

この対策として，信号配線間の相互インダクタンスや相互容量を小さくする設計が必要になります．これを実現する簡単な方法として，信号配線の間隔を広げたり，信号パルスの立ち上がりや立ち下がりを遅くするなどの手がありますが，これは高密度実装や高速化の要求と相反するため，多くの場合，このような対策を講じることはできません．

実際の対策としては，信号線の配置（配線経路）を最適化したり，信号配線間にグラウンドを入れてシールドするなどが考えられます．これを実現するためにも，LSI設計者やパッケージ設計者，ボード設計者の緊密な情報交換（協調設計）が不可欠です．

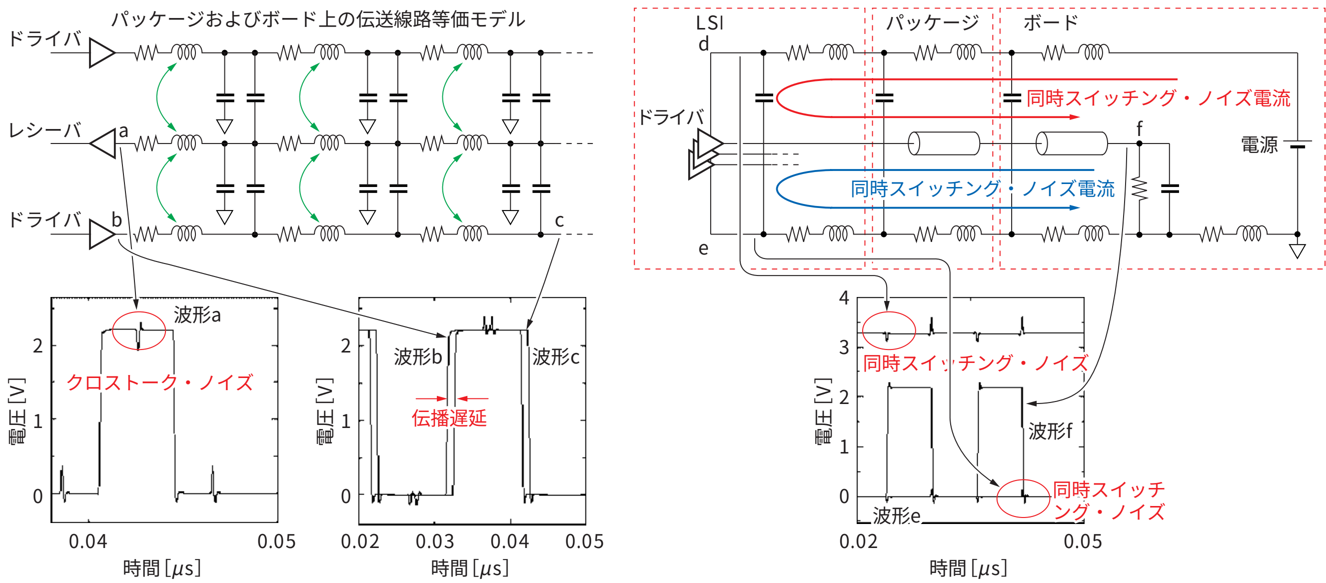
● 伝播遅延：波形が遅れたり，反射したりする

高速なデータ転送を行う場合，伝送路における信号の伝播遅延を考慮する必要があります（**図4（a）**）．従来は，ボード上の伝播遅延が支配的でしたが，データ転送速度の上昇に伴い，パッケージ内の伝送遅延や配線長のばらつきによる信号スキューも無視できなくなってきています．

また，伝送路内に特性インピーダンスの不連続点があると，反射による信号波形の劣化が生じます．スルー・ホールや分岐配線などは，反射を発生させる大きな要因となります．消費電力の制約から終端抵抗を入れられない場合もあり，反射による信号波形の劣化をあらかじめ把握して，影響が大きい場合には駆動能力や配線のトポロジーを変更するなどの対策をとる必要があります．

● 同時スイッチング・ノイズ：電源電流・電圧が不安定に

同時スイッチング・ノイズ（同時動作ノイズ）とは，複数の回路が同時に動作することによって発生する，電源電流の急しゅんな変化に起因するノイズです（**図4（b）**）．発生箇所により，「内部回路の同時スイッチング・ノイズ」と



（a）クロストーク・ノイズおよび伝播遅延の例

（b）同時スイッチング・ノイズの例

図4 SI，PIの問題

(a)のグラフはクロストーク・ノイズや伝播遅延を受けた波形の例．周囲のデータ線の動作により，鋭いひげのようなノイズが信号に乗っていることがわかる．また伝送線路上の波形に遅れが生じていることもわかる．(b)は同時スイッチング・ノイズの波形例．LSIの信号が同時に複数動作することにより，電源/グラウンドの配線に瞬間的に大電流が流れる．その結果，電源/グラウンドのインダクタンス成分によってノイズが発生する

「I/O回路の同時スイッチング・ノイズ」に分けられます．

内部回路の同時スイッチング・ノイズは，おもにクロック信号に同期して出力が変化するクロック・ドライバやフリップフロップから発生します．このノイズ電流は高い周波数成分を持っていることが特徴です．ボード上のデカップリング容量からはこの電流を供給することができないため，通常，LSI内のデカップリング容量の最適化を行うことによりノイズを低減させます．しかし，むやみにデカップリング容量を大きくすると，LSIのサイズが増大するばかりでなく，パッケージやボードのインダクタンス成分とで決まる共振周波数が低下します．この共振周波数が動作クロック周波数に近くなってくると，逆にノイズが増大します．共振周波数がクロック周波数の1/2倍，1倍，2倍，…，などの周波数と重ならないように，最適なデカップリング容量，およびパッケージやボードの電源インダクタンスを決定しなければなりません．

I/O回路の同時スイッチング・ノイズは，出力バッファが変化するときに伝送線路から流れ込む（あるいは流れ出す）電流によって発生するノイズです．とくに多ビットのデータ・バスでよく発生します．対策としては，デカップリング・コンデンサの追加やLSIの電源ピンの強化，低電源インピーダンスのパッケージの採用などがあります．これらの対策では，ノイズの影響と製造コストのトレードオフが存在するので，協調設計によって最適な対策を見つけていかなければなりません．また，高速信号を扱う場合は，リターン・パスを考慮した電源プレーン設計や，電流ループを小さくするような電源ピン配置も重要となってきます．

これらの同時スイッチング・ノイズはいずれも，電源/グラウンド電位を変動させ，その結果，ジッタやアナログ回路の*SN*比の低下などを引き起こします．

これ以外にもさまざまなノイズ現象がありますが，これらのノイズが関係し合って，想定していなかった信号波形になったり，要求される特性が得られなかったり，最悪の場合には動作しないといった不ぐあいを招きます．ノイズの問題を，LSI，パッケージ，ボードを含めて，設計の早い段階から考えることがますます重要になってきています．

2. 電気設計を取り巻く環境の変化

では，ディジタル機器の高性能化に対して，LSIやパッケージ，ボードはどのように変化してきたのでしょうか．

● LSIの動向：電圧は下がるのに，消費電力は増える

電子情報技術産業協会（JEITA：Japan Electronics and Information Technology Industries Association）の2005年の報告（第6回 JIC：Jisso International Council）によ

ると，LSIとボードの間の周波数は，コスト・パフォーマンス重視の製品（ノート・パソコンやディジタル・テレビなど）の場合，2004年の600MHzが2012年には2倍の1.2GHzに，高性能製品では，2004年の2.4GHzが2012年に8GHzになると予想されています．また，LSI内部（コア）の電圧も1.0Vを切り，低電圧化が進行していきます．

図5は筆者ら（NECエレクトロニクス）の持つ半導体製造プロセス（拡散プロセス）の進化，および周波数と消費電力の状況を示したものです．製造プロセスの微細化に伴って周波数が高くなっていることがわかります．また，消費電力も増加する傾向を示しています．

ここで注意していただきたいのは，コア電圧との関係です．コア電圧は低下すると先に述べましたが，これに反して消費電力は増加しています．つまり，消費電流が著しく増加していることになります．この消費電流の増加が，電気設計におけるノイズ問題に影響を与えます．LSIやパッケージ，ボードの配線には抵抗成分とインダクタンス成分が存在します．電流の増加は，抵抗成分による電圧降下（$\Delta V_R = I \times R$）の増大を招きます．また，インダクタンス成分による逆起電力（$\Delta V_B = L \times (dI/dt)$）の増大を招きます．

● パッケージの動向：多ピン化や高密度化が進行

パッケージの動向ですが，こちらは多ピン化とSiP（system in package）に代表される高密度化が進展していくことが推定されています．JEITAの予測では，低コスト/ハンドヘルド（携帯型）製品向けのSiPについては，2004年の5段スタック，600ピン・クラスが，2012年には8段スタック，800ピン・クラスになると考えられています．高性能製品向けではさらなる多ピン化が進展し，今後は2,000ピン・クラスのSiPが必要になると考えられています．

図6は，筆者らのパッケージ開発動向を示したものです．用途に応じて，多ピン・高速化に対応したパッケージ，そして高密度化に対応したスタック型のSiPパッケージの開発を進めています．多ピン・パッケージとしては，すでに2,000ピン・クラスのFCBGA（flip chip ball grid array）が量産されています．高密度タイプとしては，5段スタック，500ピン・クラスのSiPが量産されています．

多ピン化や高密度化に伴って，パッケージ基板の配線も微細化，狭ピッチ化が進んでいます．微細化することは配線抵抗の増加を招きます．狭ピッチ化は信号配線間の相互結合の増加を招きます．すなわち，ノイズが発生しやすい方向に向かっているわけです．また，高密度化と同時に，動作する信号数も増加しています．すなわち，従来以上にノイズの発生源が多くなっており，ノイズ設計やノイズ対策がこれまで以上に重要になっています．

● ボードの動向：配線の狭ピッチ化が進むが層数は増えず

最後にボードの動向ですが，パッケージの高密度化，多

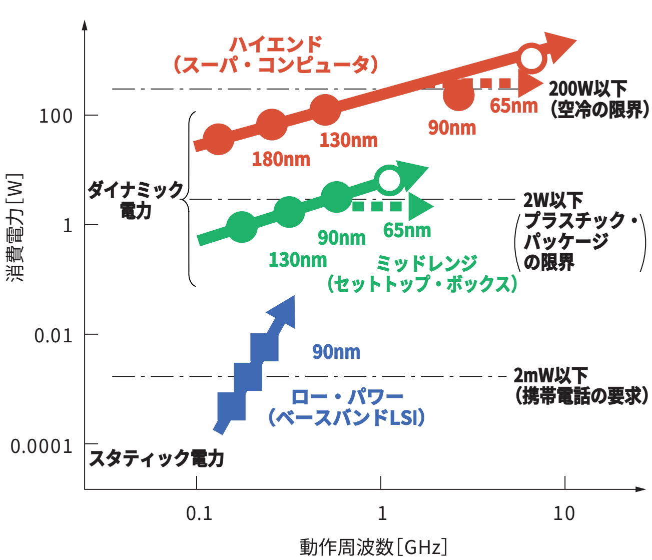


図5　LSIの開発トレンド

LSIの微細化，大規模化に伴い，周波数と消費電力はともに高くなる傾向にある．反面，駆動電圧は低下する傾向にあり，ノイズ面から，設計はさらに難しくなる方向に向かっている

Column　電源設計はどうしましょうか？

コア電圧の低下と高機能化（高集積化，高速化）がどの程度，電源設計をたいへんにしているのか，簡単な計算を行ってみたいと思います．

問題の簡単化のため，コア電圧が1V，コアの消費電力が2Wの機器を仮定してみます（ディジタル・テレビなどでは，この程度の仕様の製品が存在する）．この場合，この機器に供給しなければならない電流は，$I = P/V$（2A）となります．次に，コア電圧の変動は一般に±5％以内にすることが求められるので，1Vの5％，つまり50mV以内にする必要があります．2Aの電流が流れて，電圧降下を50mV以下にするためには，オームの法則から，電源系に許される抵抗は$R = V/I = 0.05/2 = 25\text{m}\Omega$となります．この抵抗値は，例えば直径100μmの金線を考えると，長さは約1cmになります．この25mΩをLSIの電源配線，パッケージの電源配線，ボードの電源配線の間でどのように割り振り，設計するのかを考えなければなりません．当然，そのためには3者の協調設計が必要となります（実際には電源そのものの変動も存在するので，電源系の抵抗はもっと低くする必要がある）．

ピン化に伴って，ボードの配線も狭ピッチ化が進んでいます．また，ボードの層数については，低コスト化の要求から従来より増やすことは困難であり，減らす方向に動いています．このことはパッケージと同じように，信号配線間の相互結合，および電源/グラウンドの電流供給において問題となってきます．

LSIの高速化，高集積化，パッケージの多ピン化，高密度化，ボードの高密度実装化，層数減少に伴って，電気的な設計は重要になってきており，個別に最適な設計を行い組み合わせても，要求される特性を満足できなくなっています．LSIやパッケージ，ボードの協調設計により，電源や信号配線の最適化を図ることが求められているのです（前掲のコラム「電源設計はどうしましょうか？」を参照）．

3．事前検証フローと考えかた

このような協調設計を行うためには，設計の上流段階でLSI，パッケージ，ボードを組み合わせて事前検証を行う手法が有効です．検証項目としては，おもにLSIの物理的な端子配置の検討と，電気的な特性検証に分けられます．

事前検証は，設計の初期段階でLSI設計者（ここでいうLSI設計者とは，半導体メーカの中のLSI設計担当者を指す．多くの半導体メーカでは，LSI設計とパッケージ設計は別部門となっている）と装置設計者により，それぞれの設計仕様のトレードオフ評価を行うために実施されます．このとき，いわゆるwhat-if解析（考えうる仮定を列挙し，それに対する影響や波及効果を検討する手法）をいかに効率良く実施できるか，という点がポイントとなります．ある程度の設計精度は保ちつつも，データの簡素化などにより，作業効率や設計TAT（turn around time）を改善しなければなりません．

● 最適なLSIの端子配置を決める

ところで，最適な端子配置とはいったいどのような配置を言うのでしょう？ 装置設計者から見た場合，ボードの部品配置や配線経路が最適になるように，LSIの端子の位置を考えます．一方，LSI設計では多くの場合，LSIの動作性能を確保する，チップ・サイズへの影響を極力小さくする，といった観点でLSIの端子（パッド）の位置を決めます．

従来は，パッケージ設計者が両者の端子配置の要求を満足するようにパッケージの設計を行っていました．しかし最近のLSIでは，最初に端子配置を適切に設計しておかないと，パッケージ設計の段階でコストの上昇やLSIの性能低下が生じるケースが増えています（p.82のコラム「ピン配置はだれが決める？ 最後に苦労するのはだれ？」を参照）．

協調設計においては，LSI設計者がパッケージ設計も含めた最適なLSI端子配置を提案し，装置設計者といっしょに最終的な端子配置を決めていく，という手順が望ましい

1

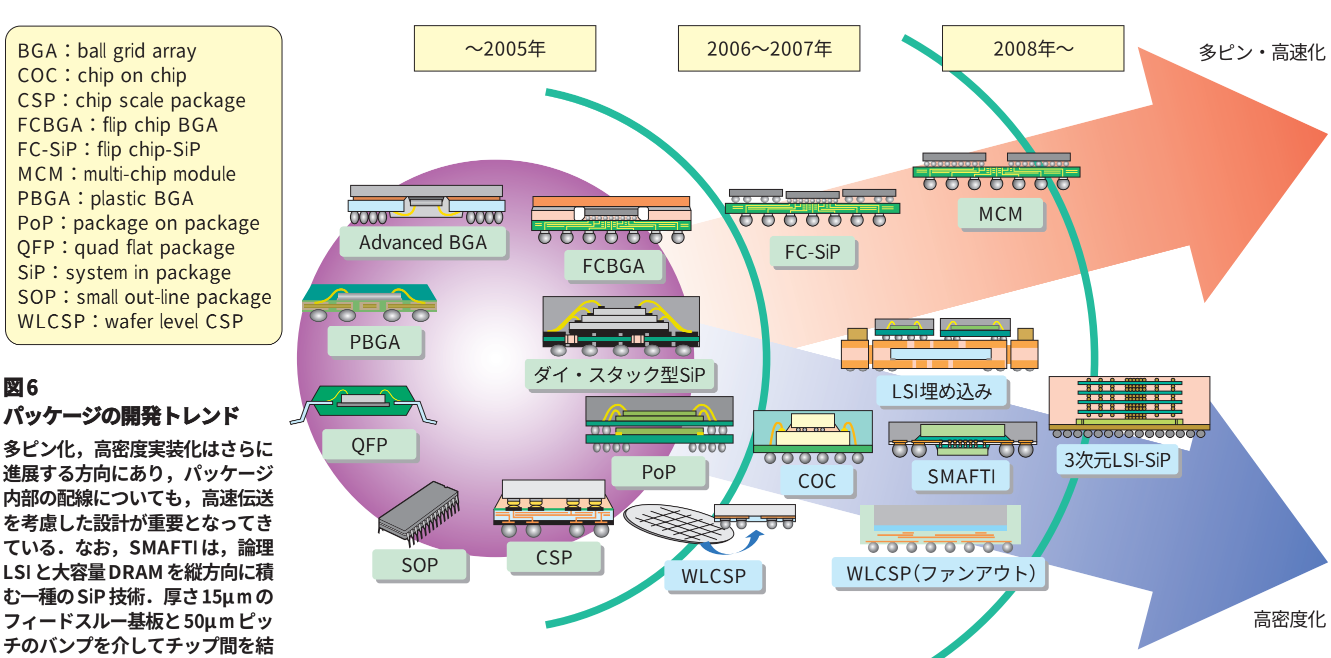


図6
パッケージの開発トレンド
多ピン化，高密度実装化はさらに進展する方向にあり，パッケージ内部の配線についても，高速伝送を考慮した設計が重要となってきている．なお，SMAFTIは，論理LSIと大容量DRAMを縦方向に積む一種のSiP技術．厚さ15μmのフィードスルー基板と50μmピッチのバンプを介してチップ間を結線する

と筆者らは考えています．

では，パッケージ設計を考慮した最適なLSIの端子配置はどうやって決めるのでしょう．従来は，まずLSI設計者がLSIのフロアプラン設計の結果をもとにLSIのパッドに対する端子配置を決めたあと，その情報をパッケージ設計部門に送り，パッケージ設計部門がパッドとLSI端子の間の接続実現性について検討を行っていました．この検討が終了して初めてLSIの仮端子配置が決まり，この情報を用いてLSI設計者と装置設計者が最終的な端子配置を決定していくという方法をとっていました．

この接続実現性の検討は，パッケージ設計者が過去の設計事例を参考にしたり，実際に部分的にパッケージ基板のレイアウトを設計しながら検討を行っていました．そのため，1回の検討に数日～数週間かかる場合もありました．最終的な端子配置を決めるためには，装置設計者とLSI設計者の間で，仮端子配置情報を変更しながら妥協点を探るという作業を行うことになります．

筆者らは，この接続実現性の検討期間を短縮するために，LSI設計者がLSI内のフロアプランを検討するのと同時にパッケージの端子配置の検討を行える「バーチャル・パッケージ設計環境」を開発しています．

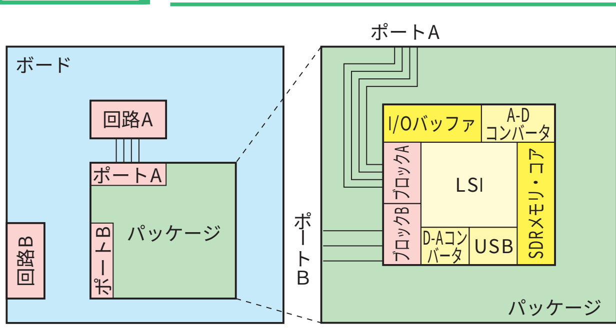
● バーチャル・パッケージ設計環境とは

ワイヤ・ボンディングを利用するパッケージを例にとると，まず，LSI設計者は目標とするチップ・サイズや回路仕様などの情報をもとにフロアプラン設計を行い，LSIのパッドに対して信号の仮配置（ピン割り当て）を決定します．次に，消費電力や出力信号数から必要な電源/グラウンド・パッドの数を決め，同じようにパッドの仮配置を行います．次に，これに対応するボンディング・ステッチを配置し，ボンディング・ステッチとパッケージ端子の間を自動配線ツールで結線します．ボンディング・ステッチとパッドの間はワイヤの接続制約を満たしながら接続していきます．また，必要に応じて信号や電源/グラウンドの配置を変更したり，パッケージ基板上に電源リングや電源プレーンを設けることもできます（**図7**）．

現在，パッケージ設計用ツールとして，同じような機能を持つ商用システムも市販されていますが，いずれもパッケージの詳細設計を目的としているものがほとんどです．そのため，LSI設計者が端子配置の検討に使用する場合でもパッケージ設計の専門知識が必要になったり，人手による作業が多いなどの問題がありました．

一方，筆者らが構築しているバーチャル・パッケージ設計環境は，LSI設計者が使用することを前提に開発されていることが特徴です．端子配置の検討に必要な設計精度を残しながら，見積もりに直接影響を与えない設計パラメータを省略することにより，作業効率の向上と設計期間の短縮を実現しています．このバーチャル・パッケージ設計環境を用いると，例えば300ピン・クラスのパッケージの場合は，20～30分程度で仮端子配置情報を作成できます．

Column　ピン配置はだれが決める？ 最後に苦労するのはだれ？



（a）顧客のボード　（b）LSIのレイアウト

図A-1　ピン配置の決定

LSI，パッケージ，ボードの設計を個別に進めていては，最適なピン配置は決定できない．どこかで無理な作業が発生し，設計期間の長期化や特性劣化といった問題を引き起こすことになる

ある製品でパッケージ基板の配線が問題となった事例です（**図A-1**）．顧客からはボード設計を行いやすくするために，制御ブロックAの信号ピンはパッケージの上辺に，制御ブロックBの信号ピンはパッケージの左辺に配置してほしいとの要望が出されていました．LSI設計者はすべての顧客の要求機能をLSI上に効率良くレイアウトすることに専念していました．その結果，ブロックA，BともにLSIの左辺に配置することにしました．

こうしてLSIのレイアウトとパッケージのピン配置が決まった状態で，ようやく間を取り持つパッケージの設計者に依頼が来ました．当然のことながら，パッケージ基板の配線は大きく迂回せざるをえなくなりました．

本事例ではなんとかパッケージ基板の配線を行い，ノイズやタイミングなどの要求特性を満足させることができましたが，毎回うまくいくとは限りません．LSI，パッケージ，ボードをシームレスに協調設計することがたいせつであると実感した事例でした．

● ノイズ検証用のパッケージ・モデルを作成する

バーチャル・パッケージの設計が完了したら，その設計情報からノイズ検証を行うためのパッケージの電気特性情報を作成しなければなりません．一般には，パッケージの設計情報から電磁界解析ツールを使用して*LCR*の値やSPICEモデル，*S*パラメータなどを抽出します．しかし，電磁界解析ツールには解析時間が長いという問題に加えて，解析ツールに合わせたデータの加工や解析メッシュの設定など，特殊なノウハウが必要になるという問題があります．

バーチャル・パッケージの設計データには，簡素化されてはいますが，配線やスルー・ホール，プレーンなどの基本的なトポロジー情報が含まれています．バーチャル・パッケージ設計環境は，この設計情報からノイズ検証用のバーチャル・パッケージ・モデルを生成する機能を備えています．このシステムでは，パッケージを構成する各部品（例えば，ボンディング・ワイヤやスルー・ホール，配線など）ごとに電磁界解析ツールを用いてあらかじめ電気特性を抽出しておき，各部品の電気特性ライブラリ（SPICEのサブサーキット形式）を準備します．バーチャル・パッケージの設計情報をもとにこのライブラリからもっとも構造の近い部品を選び出し，これらの部品の電気特性を組み合わせて全体のSPICEモデルを作成します．

このシステムでは電磁界解析を行う必要がないため，数分程度の時間でパッケージ・モデルを作成できます．

● ノイズ検証用のLSIモデルを作成する

ノイズの解析を行うには，パッケージ・モデルに加えて，LSIのノイズ源モデルと電源インピーダンス・モデルが必要になります．最近では，このようなLSIのノイズ解析を行えるツールがいくつかのEDAベンダからリリースされています．ただし，これらのツールは詳細設計後の解析を目的としているものが多く，これを事前検証に用いるには，詳細設計と同等の設計データを準備しなければなりませんでした．事前検証に使用するためには，LSI機能仕様レベルの設計情報をもとにモデルを作成する必要があります．現状ではそれぞれの半導体メーカが顧客から入手した設計情報を使用して個別にLSIモデルの作成・保守を行っているのが大半です．

筆者らは，バーチャル・パッケージ設計環境と同じコンセプトを用いたバーチャルLSIモデルの作成環境を用意しています．このバーチャルLSIモデルの作成環境では，フロアプラン情報と基本的な回路情報（ゲート数やフリップ

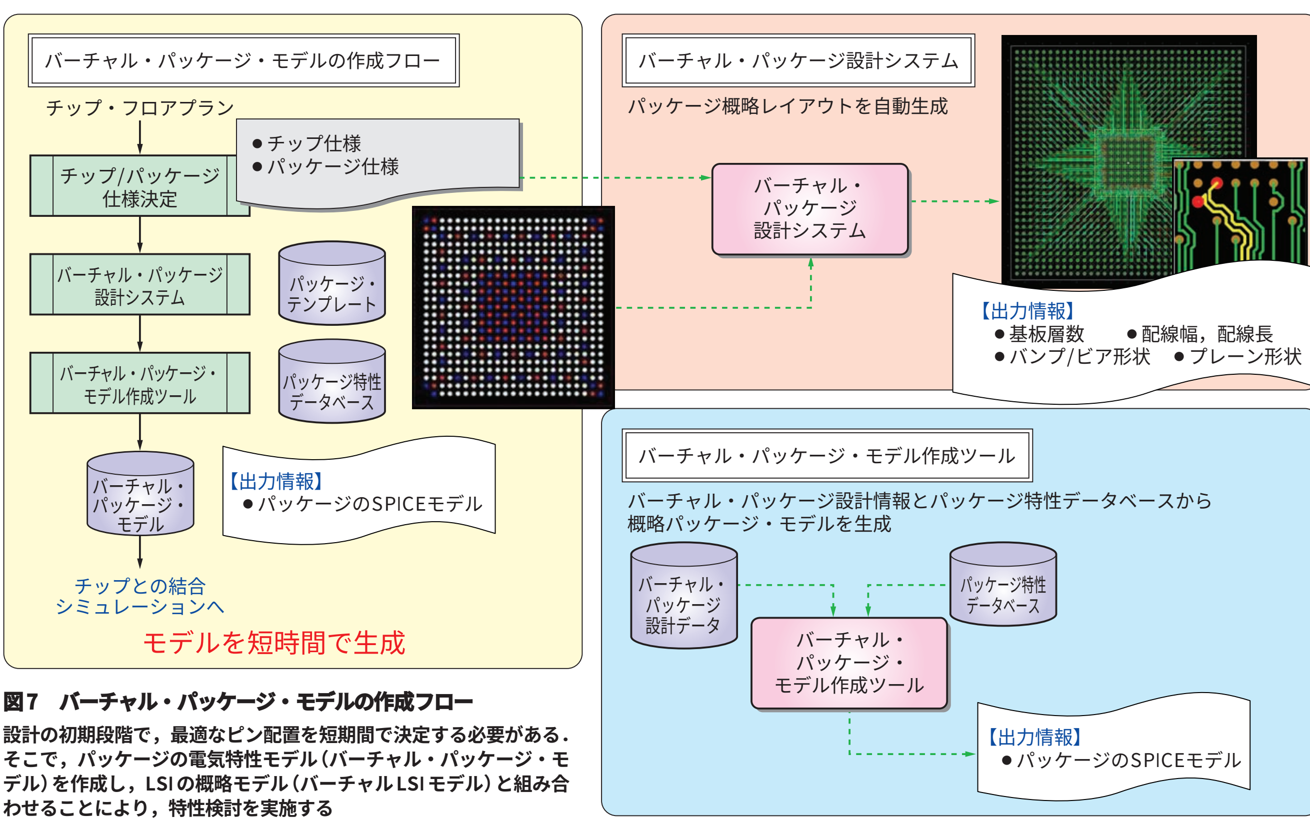


図7　バーチャル・パッケージ・モデルの作成フロー

設計の初期段階で，最適なピン配置を短期間で決定する必要がある．そこで，パッケージの電気特性モデル（バーチャル・パッケージ・モデル）を作成し，LSIの概略モデル（バーチャルLSIモデル）と組み合わせることにより，特性検討を実施する

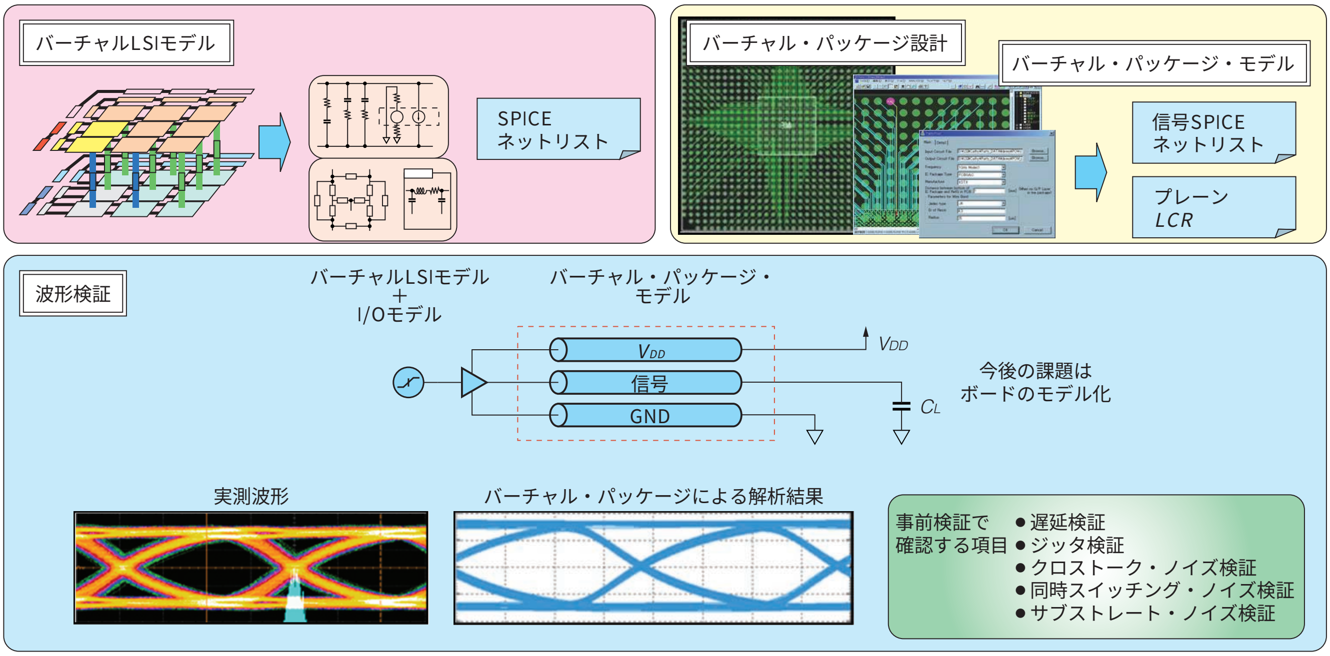


図8　構想段階のLSIとパッケージのバーチャル・モデルによる特性確認

LSIとパッケージのモデルを利用して特性検証を実施し，特性が満足されることを確認してから詳細設計を行う．これにより，設計の手戻り（リワーク）を防止し，結果として開発期間の短縮とコスト削減を実現できる

フロップ数，クロック周波数，消費電力など）をもとに，簡易的なLSIのノイズ・モデルと電源インピーダンス・モデルを作成します．

● ボードを含めて全体を検証する

ノイズ検証を行うにはボードのモデルが必要ですが，このような検証では技術的な要因以外の課題があります．

まず，事前検証を行う段階で，ボード上の配線トポロジーが決定していない場合があり，このリスクをLSI設計側と装置設計側のどちらが負うか，という問題があります．

LSIを設計する立場から見ると，事前検証の段階で想定したボード特性の制約に基づいてボードの詳細設計が行われることが理想です．しかし現実には，装置設計の制約が優先されてしまい，その制約に基づいて設計されたボードの情報を用いて，再度LSIのノイズ検証を行うという順番になりがちです．しかし，高速な信号伝送を行う装置を設計する場合には，初期の検討段階からLSI設計者と装置設計者が協力し合いながら，ボード設計とLSI設計を平行して進めていくような開発方法もあります．今後，装置設計者が協調設計に対する重要性を認識してくるにつれて，このような形態の設計が増加していくと考えられます．

また，全体のノイズ検証を装置設計者が行うかLSI設計者が行うか，という問題もあります．SI検証については，I/Oバッファやパッケージの IBIS（input/output buffer information specification）モデルが公開されているため，通常は装置設計者が全体検証を行います．しかし，同時スイッチング・ノイズなどのPI検証では，パッケージおよびLSIの電源インピーダンス・モデルとして標準的なモデル・フォーマットはなく，半導体メーカが個別にモデルを提供しています．とくにLSI内部の電源インピーダンス・モデルはSPICEモデルとして用意されていることが少なくありません．また，ノイズの許容レベルの判定を行うためには，ノイズの影響を受ける側のLSIの内部回路情報も必要となってきます．しかし，ノイズ検証を目的としてこのようなLSIの内部回路のモデルを半導体メーカが装置設計者に提供することは，一般的には行われていません．

逆にLSI設計側で全体検証を行う場合には，ボードの設計仕様などの情報が必要になるわけですが，装置設計者にとっては製品開発に関連する情報を公開してしまうことになります．シミュレーション手法やノイズの判定手法が標準化されれば，この問題は解決すると思われますが，当面は製品ごとに，そのつど，どのような責任分担で検証を行うかを事前に決めておく必要があります．

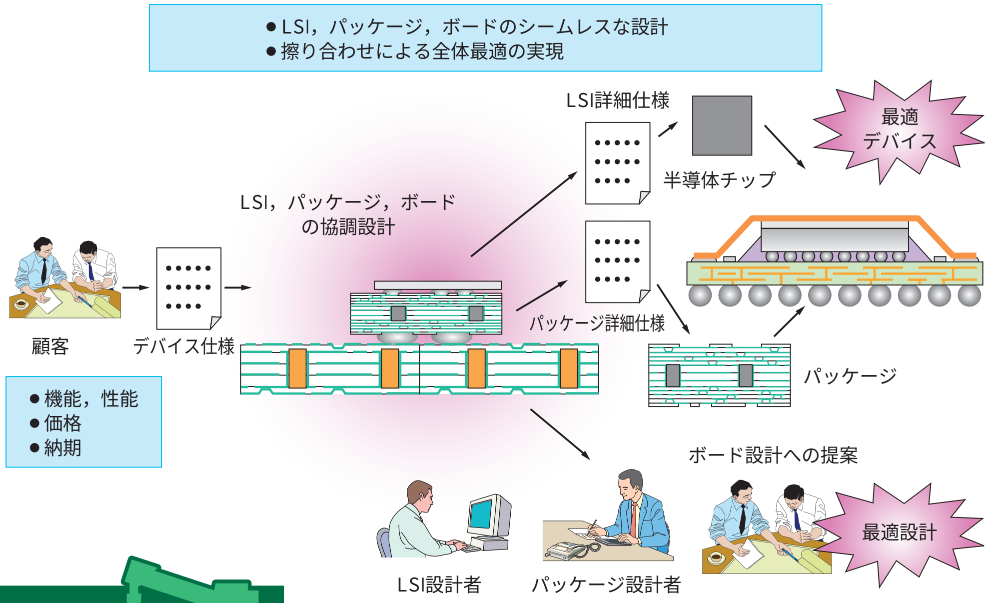


図9
協調設計の目ざすべき姿
LSI，パッケージ，ボードの協調設計により，開発期間の短縮，および"無理"や"むだ"を取り除いた製品開発が可能となる

4．協調設計に必要なのは企業間の"協業"

「LSI，パッケージ，ボードの協調設計」と言った場合，それぞれの詳細設計が完了した段階で，解析ツールによってパッケージとボードの電気特性を求め，そのモデルにLSIのSPICEモデルを接続して，SIやPI，EMIなどの要求特性を満足しているか確認することを指す場合もあります．たしかに，製造前に詳細設計から正確なモデルを抽出し，特性の確認を行うことはたいせつです．近年では種々の解析ツールが開発・出荷されており，パッケージとボードのCADデータを入力情報として，配線の電気特性モデルや電源/グラウンド・プレーン・モデルの抽出が行えるようになってきています．また，LSIについてもI/Oやコアの電源解析が行えるツールが開発されており，これらを組み合わせることにより，さまざまな検証が行えるようになってきています．全体の特性を解析するには，より大規模なモデルを短時間で精度良く解析できるツールが必要であり，現在でも，新たな解析ツールが続々と開発されています．

詳細設計後の特性確認は非常に重要であり，今後の製品開発においても，確実に実施する必要があります．しかし，この段階で問題が発覚した場合，設計の手戻りは非常に大きなものになってしまいます．場合によっては，製品の仕様そのものを変更しなければならないかもしれません．

筆者らは，このような手戻りを防ぐことが協調設計であると考え，開発の初期段階（構想設計）で最適なピン配置や電気特性を短時間で見積もれる環境の開発を進めてきました（**図8**）．現在，LSIの電源バーチャル・モデルとBGAパッケージのバーチャル・モデルの生成環境を開発し，最適なピン配置やSI，PIを検討できるようになっています．

今後はボードのバーチャル・モデルまで取り込み，短時間でLSI，パッケージ，ボードの包括的な最適化を図ったあとで，それぞれの詳細設計を始められる環境の整備が必要であると考えています．こうした環境を実現するためには，従来以上に半導体メーカと装置メーカの協業を推進する必要があると思います（**図9**）．

参考・引用*文献

（1）中島宏文；電子機器開発者のための半導体パッケージ熱設計入門，Design Wave Magazine，2005年6月号，pp.120-132.

いそざき・ともあき，すがはら・けんじ
NECエレクトロニクス（株）

<筆者プロフィール>
磯崎智明．1979年，日本電気（NEC）に入社．以来，半導体集積回路の設計を行ってきた．カスタムLSIの設計・開発を経て，ASIC設計用のライブラリおよび基盤技術の開発をおもに担当してきた．約2年前よりNECエレクトロニクス コア開発事業部にて，LSI・パッケージの協調設計環境の開発を行っている．
菅原健二．1984年，日本電気に入社．以来，セラミック・パッケージ，多ピンFCBGAパッケージなど，種々のパッケージの設計開発と，設計開発に必要なCAD技術，特性解析技術の開発・導入を推進してきた．約2年前よりNECエレクトロニクス コア開発事業部でLSI・パッケージの統合設計環境構築を進めている．